



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

**Applicant:** Seiji Funaba, et al. **Examiner:** Unassigned  
**Serial No:** 10/672,551 **Art Unit:** 2818  
**Filed:** September 26, 2003 **Docket:** 17072  
**For:** SEMICONDUCTOR UNIT HAVING **Dated:** June 9, 2004  
TWO DEVICE TERMINALS FOR  
EVERY ONE INPUT/OUTPUT SIGNAL

**Confirmation No.** 3724


Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**CLAIM OF PRIORITY**

Sir:

Applicants in the above-identified application hereby claim the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof submit a certified copy of Japanese Patent Application No. 2002-281593 filed on September 26, 2002 and Japanese Patent Application No. 2003-103681 filed on April 8, 2003.

Respectfully submitted,

  
Paul J. Esatto, Jr.  
Registration No.: 30,749

Scully, Scott, Murphy & Presser  
400 Garden City Plaza  
Garden City, New York 11530  
(516) 742-4343

---

**CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)**

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on June 9, 2004.

Dated: June 9, 2004

  
Paul J. Esatto, Jr.

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年    9 月 2 6 日  
Date of Application:

出 願 番 号            特 願 2 0 0 2 - 2 8 1 5 9 3  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 2 8 1 5 9 3 ]

出 願 人            エルピーダメモリ株式会社  
Applicant(s):

2 0 0 3 年 1 0 月 1 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 22310230

【提出日】 平成14年 9月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/16

【発明の名称】 半導体ユニット、半導体モジュール、及び、メモリス  
テム

【請求項の数】 16

【発明者】

    【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式  
    会社内

    【氏名】 安保 久

【発明者】

    【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式  
    会社内

    【氏名】 船場 誠司

【特許出願人】

    【識別番号】 500174247

    【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

    【識別番号】 100096231

    【弁理士】

    【氏名又は名称】 稲垣 清

    【電話番号】 03-5295-0851

【手数料の表示】

    【予納台帳番号】 029388

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0117862

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体ユニット、半導体モジュール、及び、メモリシステム

【特許請求の範囲】

【請求項 1】 1つの入出力信号に対して2つのデバイス端子を備える半導体ユニットであって、該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも2層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、

前記2つのデバイス端子は、前記積層基板上に配置されると共に前記信号配線層中の1つの信号配線の両端にそれぞれ接続されており、該1つの信号配線は、ビアホールを介して前記半導体チップの入出力パッドに接続されることを特徴とする半導体ユニット。

【請求項 2】 前記半導体チップは、前記入出力パッドに対応して、入力バッファ及び出力バッファの少なくとも一方、入力保護抵抗、並びに、静電保護素子を有する入出力回路を備える、請求項 1 に記載の半導体ユニット。

【請求項 3】 1つの入出力信号に対して2つのデバイス端子を備える半導体ユニットであって、該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも2層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、

前記半導体チップは、1つのチップ内配線の両端に接続される2つの入出力パッドを備え、前記2つのデバイス端子はそれぞれ、前記信号配線層中の対応する信号配線及びビアホールを介して前記2つの入出力パッドに接続されることを特徴とする半導体ユニット。

【請求項 4】 前記半導体チップは、前記2つの入出力パッドに対応して、入力バッファ及び出力バッファの少なくとも一方、入力保護抵抗、並びに、静電保護素子を有する1つの入出力回路を備え、該入出力回路は、別のチップ内配線を介して前記1つのチップ内配線に接続される、請求項 3 に記載の半導体ユニット。

【請求項 5】 前記信号配線層は、前記積層基板内のグランド配線層と共にマイクロストリップ線路を形成し、前記グランド配線層は、前記信号配線層と前記半導体チップとの間に配置される、請求項 1 から 4 の何れかに記載の半導体ユニット。

【請求項 6】 前記信号配線層は、前記積層基板内の電源層とグランド配線層との間に挟まれて、該電源層又はグランド配線層とストリップ線路を形成する、請求項 1 から 4 の何れかに記載の半導体ユニット。

【請求項 7】 前記積層基板は、前記半導体チップの平面サイズよりも大きく形成されており、前記積層基板の裏面に形成される前記 2 つのデバイス端子に対向して、前記積層基板の表面に形成される 2 つのデバイス端子を更に備える、請求項 1 から 6 の何れかに記載の半導体ユニット。

【請求項 8】 前記半導体ユニットは、クロック信号を入力して動作するように構成され、前記入出力回路と前記 1 つの信号配線までの距離  $L$  は、半導体ユニットの製品仕様で決定されるクロックのサイクルタイム  $t_{ck}$  との間で、 $2 \times 2L \times 7 \text{ ns} / m < t_{ck} / 10$  なる関係を満たす、請求項 2 又は 4 に記載の半導体ユニット。

【請求項 9】 コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される複数の半導体ユニットとを備える半導体モジュールであって、

前記半導体ユニットのそれぞれが、請求項 1 から 8 の何れかに記載の半導体ユニットとして構成され、

前記モジュール基板の表面及び裏面に対向して配置される 2 つの半導体ユニットの前記 2 つのデバイス端子の一方は、ビアホールを介して相互に接続され、前記 2 つのデバイス端子の他方はそれぞれ、前記モジュール基板の表面及び裏面に配置されるモジュール内配線を介して前記コネクタに接続されることを特徴とする半導体モジュール。

【請求項 10】 前記モジュール基板が、少なくとも 2 層の配線層を有する、請求項 9 に記載の半導体モジュール。

【請求項 1 1】 コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される、請求項 7 に記載の複数の半導体ユニットとを備える半導体モジュールであって、

複数の半導体ユニットが積層されており、上層の半導体ユニットの裏面に形成されたデバイス端子と、下層の半導体ユニットの表面に形成されたデバイス端子とが接続されることを特徴とする半導体モジュール。

【請求項 1 2】 前記モジュール基板の表面及び裏面に対向して配置される 2 つの半導体ユニットの前記 2 つのデバイス端子の一方は、ビアホールを介して相互に接続され、前記 2 つのデバイス端子の他方はそれぞれ、前記モジュール基板の表面及び裏面に配置されるモジュール内配線を介して前記コネクタに接続される、請求項 1 1 に記載の半導体モジュール。

【請求項 1 3】 前記半導体ユニットがメモリデバイスである、請求項 9 から 1 2 の何れかに記載の半導体モジュール。

【請求項 1 4】 前記モジュール基板に搭載されるレジスタを更に備え、該レジスタと前記複数のメモリデバイスとの間の制御配線が、前記 2 つのデバイス端子の間を通過している、請求項 1 3 に記載の半導体モジュール。

【請求項 1 5】 マザーボード配線を有するマザーボードと、該マザーボードに搭載されるコントローラと、前記マザーボード上に順次に搭載され、前記マザーボード配線を介して前記コントローラと順次に接続される複数の半導体モジュールと、前記マザーボード配線の終端に接続される終端抵抗とを備えるメモリシステムであって、

前記半導体モジュールが、請求項 1 3 又は 1 4 に記載の半導体モジュールであり、前記マザーボード配線が、前記モジュール内配線を介して一連に接続されることを特徴とするメモリシステム。

【請求項 1 6】 前記 1 つの信号配線が、前記メモリデバイスからデータを読み出し、また、前記メモリデバイスにデータを書き込むためのデータバスである、請求項 1 5 に記載のメモリシステム。

【発明の詳細な説明】

**【0001】****【発明の属する技術分野】**

本発明は、半導体ユニット、半導体モジュール、及び、メモリシステムに関し、特に、高速動作時にデータ信号等の劣化が少ない半導体ユニット、半導体モジュール、及び、メモリシステムに関する。

**【0002】****【従来の技術】**

近年、メモリシステムでは、高速化への要求が益々高くなってきており、特に高速のメモリシステムには、例えばGHzオーダーといった高い周波数に対応する性能が要求される。一般に、メモリシステムでは、動作周波数が高くなると、信号が配線を伝播する際に波形が乱れやすくなるため、特許文献1や特許文献2に記載されるメモリシステムのように、信号配線には信号が高速かつ正確に伝播されるような工夫が施されている。

**【0003】****【特許文献1】**

特開2001-256772号公報

**【特許文献2】**

特開2001-68617号公報

**【0004】**

例えば、特許文献1には、高速動作が可能なメモリシステムとして、信号配線の分岐を削減し、配線の分岐で発生する信号の反射を低減する技術が記載されている。図13は、特許文献1の図21に記載のメモリシステムにおける信号配線経路を示している。メモリシステム200は、メモリコントローラ201と、それぞれがメモリデバイス204を搭載する複数のメモリモジュール203、及び、終端抵抗205を備える。

**【0005】**

メモリシステム200は、マザーボード206上に搭載され、メモリシステム200の各要素は、信号配線207及び図示しないコマンドアドレス配線で接続されている。モジュールソケット202は、対応するメモリモジュール203を



保持する共に、信号配線 207 とモジュール内配線 208 とを接続する。各メモリモジュール 203 は、モジュール基板と、モジュール基板上に搭載された複数のメモリデバイス 204 を備える。

#### 【0006】

メモリコントローラ 201 は、信号配線 207 を介してメモリシステム 200 全体を制御し、所望のメモリモジュール 203 に搭載されたメモリデバイス 204 からデータを読み出し、また、メモリデバイス 204 にデータを書き込む。信号配線 207 及びモジュール内配線 208 は、その配線インピーダンスが所望の値に制御され、インピーダンス不整合により生じる信号反射等を防止している。各メモリデバイス 204 は、例えば半田ボールで構成されるデバイス端子 209 を介してモジュール基板上のモジュール内配線 208 と接続する。終端抵抗 205 は、信号配線 207 を終端し、配線終端部における信号の反射を防止する。

#### 【0007】

図 14 は、図 13 のメモリデバイス 204 の詳細を示している。メモリデバイス 204 は、パッケージ基板 211 に搭載されたメモリチップ 210 として構成される。パッケージ基板 211 には、インピーダンスが所望の値に制御されたパッケージ内配線 213 が配線され、パッケージ内配線 213 の一端は、ビアを介してデバイス端子 209 と接続される。パッケージ内配線 213 の他端は、メモリチップ 210 の入出力端子として構成される信号端子パッド 212 と、ビアを介して接続される。

#### 【0008】

デバイス端子 209 と信号端子パッド 212 とは、1対1の関係を有し、あるデバイス端子 209 から入力した信号は、そのデバイス端子 209 に対応するパッケージ内配線 213 を介して信号端子パッド 212 に入力する。パッケージ内配線 213 は、デバイス端子 209 と、そのデバイス端子 209 に対応する信号端子パッド 212 との位置関係によって、その配線長が決定される。図 13 のメモリシステム 200 において、メモリコントローラ 201 から終端抵抗 205 までの配線中で、分岐配線を構成するのは、実質的に、パッケージ内配線 213 のみとなる。

## 【0009】

上述のように、特許文献1に記載の技術では、高速動作を行なうメモリシステム200において、メモリコントローラ201から終端抵抗205に至る信号経路を、分岐がない一筋（一連）の配線で構成することで配線分岐箇所が発生する信号の反射を少なくし、信号の乱れを最小限にして高速動作を可能としている。

## 【0010】

## 【発明が解決しようとする課題】

上記したように、メモリシステム200では、パッケージ内配線213が、信号配線207及びモジュール内配線208に対して分岐配線を構成する。パッケージ内配線213は、配線長が十分に短い配線として構成されるため、動作周波数がある程度低いときには、パッケージ内配線213の端部で生じる信号反射は問題とならない。しかし、メモリシステム200が更に高速化すると、パッケージ内配線213の端部で反射した信号が、パッケージ内配線213を往復することによって発生する信号波形の乱れが問題になる。

## 【0011】

例えば、パッケージ内配線213の配線長を10mm、配線中を伝播する信号の単位距離当たりの伝播時間を6ns/mとすると、信号がパッケージ内配線213を往復するのに要する時間 $t_S$ は、120psとなる。伝播する信号の立ち上がり時間 $t_R$ が、信号往復時間 $t_S$ の2倍程度以下になると、信号波形に対する影響が大きくなり、信号反射による波形の乱れが顕在化してくる。信号の立ち上がり時間 $t_R$ が動作周波数の1/10程度であるとする、動作周波数が100MHzのときの信号立ち上がり時間 $t_R$ は約1nsとなり、1GHzのときは信号立ち上がり時間 $t_R$ は約100psとなる。動作周波数が100MHz程度の場合には、信号往復時間 $t_S$ が立ち上がり時間 $t_R$ に比して十分に短く、波形の乱れは大きな問題にはならないが、動作周波数がGHzオーダーに近づくにつれて、信号往復時間 $t_S$ と立ち上がり時間 $t_R$ との差が小さくなり、信号波形の乱れが問題になってくる。

## 【0012】

メモリシステム200において安定した高速動作を実現するためには、分岐配

線を構成するパッケージ内配線 213 の配線長を極力短くするとよい。しかし、パッケージ内配線 213 は、前述のように、デバイス端子 209 と、そのデバイス端子 209 に対応する信号端子パッド 212 との位置関係によって、その配線長が決定されるため、レイアウト上の制約があり、任意に配線長を設定することができなかった。このため、パッケージ内配線 213 が信号経路を分岐する従来のメモリシステム 200 では、動作周波数の高速化に限界があった。

#### 【0013】

特許文献 2 には、1 つのメモリモジュールに複数の半導体素子を積層する技術が記載されている。特許文献 2 に記載の技術では、半導体素子の直下に形成される基板の一端と他端とを接続する基板と平行方向の信号配線、及び、基板の一端と他端とに互い違いに配置されたビアによって形成される積層方向の信号配線が、一筋の配線として構成され、高速動作に対応する。しかし、特許文献 2 では、基板平行方向の信号配線が、半導体素子直下を長い区間通過することになり、動作周波数が高速化すると、この信号配線から、半導体素子内の信号配線や電源配線にクロストークノイズ（電磁結合ノイズ）が乗るという問題がある。また、半導体素子の積層を行なうと、半導体素子から発生する熱が集中し、モジュールの温度を上昇させ、性能低下を引き起こすという問題もある。

#### 【0014】

高速動作するメモリモジュールでは、デバイスに到達する各種信号のタイミング制御を高精度に行なう必要がある。タイミング制御を高精度に行ない、データ配線及びコマンドアドレス配線の双方を、タイミングエラーや、信号反射、クロストークなどの観点から問題なく敷設するためには、レイアウト上で配線占有面積が増加し、配線の自由度が低下する。特にコマンドアドレス配線では、メモリモジュールに搭載されるレジスタから、全てのメモリデバイスに信号を分配する必要があり、モジュールの小型化や、メモリチップの大容量化、機能拡張によるコマンドアドレス配線数の増加などの要求によって、更に配線占有面積が増加して配線の自由度が低下し、レイアウトは更に厳しくなるという問題が発生する。

#### 【0015】

本発明は上記問題点を解消し、メモリシステム内の分岐配線の配線長を更に短

縮し、高速動作に際しても信号波形の乱れがメモリシステムの動作に不具合を与えず、コマンドアドレス配線の配線自由度の不足を緩和する半導体ユニット、及び、半導体モジュール、並びに、このような半導体ユニットや半導体モジュールを備えるメモリシステムを提供することを目的とする。

#### 【0016】

また、本発明は、信号配線からメモリデバイスに載るクロストークノイズを低減でき、熱放散能力を向上してデバイス温度上昇によるデバイスの性能低下を抑える半導体ユニット、半導体モジュール、及び、メモリシステムを提供することを目的とする。

#### 【0017】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明の第1の視点の半導体ユニットは、1つの入出力信号に対して2つのデバイス端子を備える半導体ユニットであって、該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも2層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、前記2つのデバイス端子は、前記積層基板上に配置されると共に前記信号配線層中の1つの信号配線の両端にそれぞれ接続されており、該1つの信号配線は、ビアホールを介して前記半導体チップの入出力パッドに接続されることを特徴とする。

#### 【0018】

本発明の第1の視点の半導体ユニットでは、1つの入出力信号に対応して2つのデバイス端子を備え、各デバイス端子は、積層基板（パッケージ基板）の信号配線層に配線される信号配線を介して相互に接続される。信号線は、所望の位置で、対応する半導体チップの入出力パッドにビア（スルーホール）を介して接続される。双方のデバイス端子から見ると、入出力パッドに接続される配線（ビア）は、デバイス端子間に形成される信号線に対して分岐配線を構成する。1つの入出力信号に対応して2つのデバイス端子を備えるため、半導体ユニットでは、一方のデバイス端子から入力した信号を、半導体チップに分岐配線を介して入出力パッドから入力すると共に、他方のデバイス端子から取り出すことができる。

このため、例えば、外部に形成されるデータバスから分岐して半導体ユニットに信号を入力するのに代えて、半導体ユニット内に形成される信号配線をデータバス中に挿入することができる。

1つの入出力パッドが1つのデバイス端子に接続される従来の構造では、デバイス端子から入出力パッドまでの半導体ユニット内の信号配線が、データバスに対して分岐ラインを構成していたが、本発明では、2つのデバイス端子間を接続する信号配線から半導体チップの入出力パッドまでの配線が分岐ラインを構成する。従来の半導体ユニットと比較して、データバスに対して分岐ラインを構成する配線の配線長が短縮でき、信号が分岐ラインを往復する時間が短くなるため、高速動作する半導体ユニットについても、分岐ラインで生じる信号反射の信号波形への影響が少なく、半導体ユニットの動作が不安定にならない。また、パッケージ基板は、少なくとも2層の配線層を有し、電源配線層には、電源面（例えばVDD面）やグランド面（GND面）が配線される。信号配線層を電源配線層によってシールドすることで、入出力信号線から半導体チップに侵入するクロストークを低減することができる。上記分岐配線は、実質的に、ビアホールのみから構成されることが好ましい。

#### 【0019】

本発明の第2の視点の半導体ユニットは、1つの入出力信号に対して2つのデバイス端子を備える半導体ユニットであって、該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも2層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、前記半導体チップは、1つのチップ内配線の両端に接続される2つの入出力パッドを備え、前記2つのデバイス端子はそれぞれ、前記信号配線層中の対応する信号配線及びビアホールを介して前記2つの入出力パッドに接続されることを特徴とする。

#### 【0020】

本発明の第2の視点の半導体ユニットでは、1つの入出力信号に対応して2つのデバイス端子を備え、各デバイス端子は、1つの入出力信号に対応して2つの入出力パッドを有する半導体チップの各入出力パッドに信号配線を介してそれぞ

れ接続される。半導体チップでは各入出力パッド間がチップ内配線で相互に接続されており、双方のデバイス端子間に形成された信号線は、一筋の配線として構成される。例えば、外部に形成されるデータバスから半導体チップの一方の入出力パッドに信号を入力する場合、入力信号は、一方の入出力パッドから半導体チップに入力されると共に、チップ内配線、他方の入出力パッドを介して、他方のデバイス端子から出力される。このため、データバスに対して分岐ラインを構成する配線の配線長が更に短縮でき、信号が分岐ラインを往復する時間が更に短くなるので、高速動作する半導体ユニットについても、分岐ラインで生じる信号反射の信号波形への影響が少なく、半導体ユニットの動作が不安定にならない。また、パッケージ基板は、少なくとも2層の配線層を有し、電源配線層には、電源面（例えばVDD面）やグランド面（GND面）が配線される。信号配線層を、電源配線層によってシールドすることで、入出力信号線から半導体チップに侵入するクロストークを低減することができる。

#### 【0021】

本発明の第1及び第2の視点の半導体ユニットでは、前記信号配線層は、前記積層基板内のグランド配線層と共にマイクロストリップ線路を形成し、前記グランド配線層は、前記信号配線層と前記半導体チップとの間に配置されてもよく、或いは、前記信号配線層は、前記積層基板内の電源層とグランド配線層との間に挟まれて、該電源層又はグランド配線層とストリップ線路を形成してもよい。これらの場合、半導体チップ近傍のパッケージ基板に含まれる金属の割合が大きくなるため、熱の放散をスムーズに行なうことができ、半導体チップの温度が上昇して動作が不安定になることを防止できる。

#### 【0022】

本発明の第1及び第2の視点の半導体ユニットでは、前記積層基板は、前記半導体チップの平面サイズよりも大きく形成されており、前記積層基板の裏面に形成される前記2つのデバイス端子に対向して前記積層基板の表面に形成される2つのデバイス端子を更に備える構成を採用することができる。この場合、半導体ユニットは、1つの入出力信号に対して最大4つのデバイス端子を有する。半導体ユニットを積層した際には、同じ入出力信号に対して、表面側の一方及び他方

、並びに、裏面側の一方及び他方のデバイス端子のうち、2つのデバイス端子を組み合わせて接続することができる。半導体ユニットは、信号配線とは接続せず、表面側と裏面側とを直接にビアを介して接続するデバイス端子を備えていてもよい。

#### 【0023】

本発明の第1の視点の半導体ユニットでは、前記半導体チップは、前記入出力パッドに対応して、入力バッファ及び出力バッファの少なくとも一方、入力保護抵抗、並びに、静電保護素子を有する入出力回路を備える構成を採用することができる。

#### 【0024】

本発明の第2の視点の半導体ユニットでは、前記半導体チップは、前記2つの入出力パッドに対応して、入力バッファ及び出力バッファの少なくとも一方、入力保護抵抗、並びに、静電保護素子を有する1つの入出力回路を備え、該入出力回路は、別のチップ内配線を介して前記1つのチップ内配線に接続される構成を採用することができる。

#### 【0025】

本発明の第1及び第2の視点の半導体ユニットは、クロック信号を入力して動作するように構成され、前記入出力回路と前記1つの信号配線までの距離 $L$ は、半導体ユニットの製品仕様で決定されるクロックのサイクルタイム $t_{ck}$ との間で、 $2 \times 2L \times 7 \text{ ns/m} < t_{ck} / 10$ なる関係を満たすことが好ましい。一般に、信号立ち上がり時間を $t_R$ 、信号が分岐配線を往復する時間を $t_S$ とすると、信号立ち上がり時間が $t_R$ が、信号往復時間 $t_S$ の2倍以下、言い換えれば、信号往復時間 $t_S$ が、信号立ち上がり時間 $t_R$ の $1/2$ 以上となると、信号波形の乱れが顕在化する。信号が単位距離を伝播するのに要する時間が $6 \sim 7 \text{ (ns/m)}$ であり、信号立ち上がり時間 $t_R$ が動作クロックの周期の $1/10$ 程度であった場合には、 $2 \times 2L \times 7 \text{ ns/m} < t_{ck} / 10$ の関係を満たせば、信号波形の乱れが半導体ユニットの動作に影響を与えず、良好な動作が可能になる。

#### 【0026】

本発明の半導体モジュールは、コネクタ及び該コネクタに接続されるモジュ-

ル内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される複数の半導体ユニットとを備える半導体モジュールであって、前記半導体ユニットのそれぞれが、上記本発明の第 1 又は第 2 の半導体ユニットとして構成され、前記モジュール基板の表面及び裏面に対向して配置される 2 つの半導体ユニットの前記 2 つのデバイス端子の一方は、ビアホールを介して相互に接続され、前記 2 つのデバイス端子の他方はそれぞれ、前記モジュール基板の表面及び裏面に配置されるモジュール内配線を介して前記コネクタに接続されることを特徴とする。

#### 【 0 0 2 7 】

本発明の第 1 の視点の半導体モジュールでは、モジュール基板の表面及び裏面で、モジュール外配線とモジュール内配線とがコネクタでそれぞれ接続され、各モジュール内配線は、モジュール基板の表面及び裏面に搭載する上記第 1 又は第 2 の視点の半導体ユニットの一方のデバイス端子とそれぞれ接続される。表面及び裏面に搭載される半導体ユニットのそれぞれの他方のデバイス端子は、モジュール基板の表面及び裏面間を接続するビアを介して接続される。このため、表面側のコネクタから裏面側のコネクタに至る配線が、一筋の配線として構成でき、分岐箇所を削減して高速動作が可能になる。また、半導体ユニット直下では、半導体ユニットに入力した信号に対応するモジュール内配線を配線する必要がなくなるため、配線層を増加させることなく、ユニット直下に制御配線等の他の配線を配置することができ、配線レイアウト上の自由度が向上する。

#### 【 0 0 2 8 】

本発明の第 2 の視点の半導体モジュールは、コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される、表面及び裏面にデバイス端子が形成できる複数の半導体ユニットとを備える半導体モジュールであって、複数の半導体ユニットが積層されており、上層の半導体ユニットの裏面に形成されたデバイス端子と、下層の半導体ユニットの表面に形成されたデバイス端子とが接続されることを特徴とする。

#### 【 0 0 2 9 】



本発明の第2の視点の半導体モジュールでは、モジュール内配線は、モジュール基板の表面及び裏面に搭載する、上記表面及び裏面にデバイス端子が形成された半導体ユニットの裏面側の一方のデバイス端子と接続される。半導体ユニットはモジュール基板上に積層され、半導体ユニット内に形成される信号配線は、半導体ユニットの表面及び裏面に形成された一方及び他方のデバイス端子の接続を適切にすることで、一筋の配線となるように接続される。この場合、積層される半導体ユニット内の分岐箇所が削減して、高速動作が可能になる。

#### 【0030】

本発明の第2の視点の半導体モジュールでは、前記モジュール基板の表面及び裏面に対向して配置される2つの半導体ユニットの前記2つのデバイス端子の一方は、ビアホールを介して相互に接続され、前記2つのデバイス端子の他方はそれぞれ、前記モジュール基板の表面及び裏面に配置されるモジュール内配線を介して前記コネクタに接続されることが好ましい。この場合、モジュールの表面側のコネクタから、モジュールの裏面側のコネクタまでの信号配線が有する分岐配線の配線長を短くできるため、半導体ユニットが積層された場合であっても、高速動作が可能になる。また、半導体ユニット直下では、半導体ユニットに入力した信号に対応するモジュール内配線を配線する必要がなくなるため、配線層を増加させることなく、ユニット直下に制御配線等の他の配線を配置することができ、配線レイアウト上の自由度が向上する。

#### 【0031】

本発明の第1及び第2の視点の半導体モジュールでは、前記モジュール基を、別の積層基板として構成することができる。この場合、モジュール内配線を電源面やグランド面でシールドし、ストリップラインやマイクロストリップラインを形成することができる。

#### 【0032】

本発明の第1及び第2の視点の半導体モジュールでは、前記半導体ユニットをメモリデバイスとして構成することができる。

#### 【0033】

本発明の第1及び第2の視点の半導体モジュールは、前記モジュール基板に搭

載されるレジスタを更に備え、該レジスタと前記複数のメモリデバイスとの間の制御配線が、前記2つのデバイス端子の間を通過する構成を採用することができる。この場合、モジュール基板上で信号配線と制御配線とが交差しないため、制御配線のサイズを大きくして特性インピーダンスを低くすることができる。

#### 【0034】

本発明のメモリシステムは、マザーボード配線を有するマザーボードと、該マザーボードに搭載されるコントローラと、前記マザーボード上に順次に搭載され、前記マザーボード配線を介して前記コントローラと順次に接続される複数の半導体モジュールと、前記マザーボード配線の終端に接続される終端抵抗とを備えるメモリシステムであって、前記半導体モジュールが、第1又は第2の視点の半導体モジュールであり、前記マザーボード配線が、前記モジュール内配線を介して一連に接続されることを特徴とする。

#### 【0035】

本発明のメモリシステムでは、上記第1及び第2の半導体モジュールとして構成されるメモリモジュールを採用することで、メモリコントローラから終端抵抗に至る信号経路に存在する分岐配線の配線長を短くすることができ、高速動作が可能になる。

#### 【0036】

本発明のメモリシステムでは、前記1つの信号配線を、前記メモリデバイスからデータを読み出し、また、前記メモリデバイスにデータを書き込むためのデータバスとして構成することができる。メモリシステムにおいて、特にデータバスは、高速かつ正確な信号伝送が要求されるため、データバスを分岐が短い配線として構成することで、メモリシステムの高速化が可能となる。

#### 【0037】

なお、本発明で用いる用語「一連の配線」、又は、「一筋の配線」とは、配線経路中に分岐やループがなく、1つの信号が信号経路を実質的に一方向にのみ伝播する信号配線を意味する。

#### 【0038】

#### 【発明の実施の形態】

以下、図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図1は、本発明の一実施形態例のメモリシステムの構成を斜視図として示している。図2は、図1のメモリシステム100のDQバス108方向に沿った断面を示している。メモリシステム100は、メモリコントローラ101と、メモリデバイス104及びレジスタ105を備えるメモリモジュール103と、終端抵抗106とを有する。

#### 【0039】

メモリコントローラ101は、メモリシステム100全体を制御する。メモリモジュール103は、レジスタ105、及び、複数のメモリデバイス104を搭載する。モジュールソケット102は、メモリモジュール103に対応して設けられ、コネクタにより、マザーボード107上の各配線とメモリモジュール103内の配線とを電氣的に接続する。メモリコントローラ101は、所定データ長に対応した帯域のDQバス（データバス）108を介してメモリデバイス104に接続し、CAバス（制御系信号バス）109を介してレジスタ105に接続する。

#### 【0040】

CAバス109は、レジスタ105で分岐し、モジュール内CAバス111によって、同じメモリモジュール103内のメモリデバイス104に分配される。DQバス108は、複数の系統が配線され、各DQバス108は、複数のメモリデバイス104を直列に（カスケード）接続する。図1の例では、4系統のDQバス108が配線され、各DQバス108は、4つのメモリデバイス104を直列に接続している（図2）。

#### 【0041】

メモリコントローラ101から出力された信号は、DQバス108及びCAバス109のそれぞれの終端部に配置された終端抵抗106で終端される。また、メモリモジュール103からメモリコントローラ101に向けて出力された信号は、メモリコントローラ101内、或いは、メモリコントローラ101の近傍に設けられた図示しない終端抵抗によって終端される。

#### 【0042】

メモリシステム 100 内の信号配線は、全て同じインピーダンスとなるように配線され、終端抵抗 106 には、信号配線の特性インピーダンスに一致する抵抗値が採用される。モジュールソケット 102 など、局部的に、単独では信号配線とインピーダンスの整合が困難な構成要素が信号配線中に存在する箇所では、その近傍に容量素子などを付加することによって、実効的にインピーダンスが整合される。またメモリは容量負荷に見えるので、その近傍 (loaded section) の配線のキャパシタンス成分を低く、又は、インダクタンス成分を高く、つまり、特性インピーダンスを高くすることによって、実効的にインピーダンスが整合される。

#### 【0043】

メモリシステム 100 では、特にデータバス (DQバス) において信号の反射が生じないようにするために、信号配線のインピーダンスを正確に整合させて、高速な読み書きを可能としている。また、高速動作をするシステムにおいては、リターン電流のパスも重要であり、マザーボード 107 上、或いは、メモリモジュール 103 上の電源配線についても、不連続が生じないようにする。

#### 【0044】

図 2 に示すように、メモリモジュールは、モジュール基板 122 上に複数のメモリデバイス 104 を備える。各メモリデバイス 104 は、例えば半田ボールによって構成されるデバイス端子 (DQピン) 112 及び CAピン 113 を介してモジュール基板 122 上の対応する配線と電氣的に接続する。CAピン 113 は、メモリデバイス 104 とモジュール内 CAバス 111 とを接続する。図 2 の例では、1つのメモリモジュール 103 には 2本のモジュール内 CAバス 111 が配線され、各モジュール内 CAバス 111 は、それぞれに対応する CAピン 113 を介してメモリデバイス 104 に制御系信号を供給する。

#### 【0045】

各メモリデバイス 104 は、1つのパッケージ内 DQバス 114 につき 2つの DQピン 112 を備え、各 DQピン 112 は、モジュール内 DQバス 110 と、パッケージ内 DQバス 114 とを相互に接続する。メモリコントローラ 101 から終端抵抗 106 までのデータバスは、DQバス 108、モジュール内 DQバス

110、DQピン112、及び、パッケージ内DQバス114によって分岐箇所がない一筋の配線として構成されている。

#### 【0046】

図3は、メモリデバイス104の詳細をメモリチップ120の入出力部分の等価回路と共に示している。メモリデバイス104は、データ記憶部として構成されるメモリチップ120と、メモリチップ120を搭載するパッケージ基板121とを備える。メモリチップ120は、入力ドライバ128と、出力ドライバ129と、入力保護抵抗130と、静電保護容量131と、メモリセルアレイを含む図示しない内部回路とを備える。なお、同図では、制御系信号の配線については省略して図示している。

#### 【0047】

メモリデバイス104は、緩衝材（エラストマ）132を介してモジュール基板122に貼り付けられる。パッケージ基板121は複数の配線層を有し、各配線層には、面状に配線されるパッケージ内電源プレーン（面）118（VDD）及び119（GND）と、パッケージ内DQバス114とがそれぞれ配線される。パッケージ内VDD面118及びGND面119は、それぞれ2つの電源ピン116（VDDピン）117（GNDピン）とビアを介して接続される。パッケージ内DQバス114は、その両端で2つのDQピン112とそれぞれビアを介して接続される。パッケージ内DQバス114は、VDD面118と、GND面119との中間の配線層に配線される。

#### 【0048】

メモリチップ120は、信号入出力パッドとして構成される所定数の信号端子パッド115を備え、各信号端子パッド115は、所定の位置で、対応するパッケージ内DQバス114にビアを介して接続される。入力ドライバ128は、信号端子パッド115から入力保護抵抗130を介して入力する信号を、電圧値を変換するなどしてメモリチップ120の内部回路に出力する。出力ドライバ129は、信号端子パッド115から、所定の電圧値で信号を出力する。このような構成を採用することで、例えば、信号端子パッド115から出力する信号は、1本のパッケージ内DQバス114を介して2つのDQピン112から出力するこ

とができる。出力ドライバ129の出力用MOSトランジスタは、静電保護素子としても機能し、MOSトランジスタの寄生容量（静電保護容量）131は、静電気破壊現象から、メモリチップ120の内部回路を保護する。

#### 【0049】

図4は、図1及び図2に示すメモリモジュール103の詳細を示している。メモリモジュール103は、モジュール基板122のメモリコントローラ側及び終端抵抗側の面に、それぞれ図3に示すメモリデバイス(A)、(B)104を搭載している。モジュール基板122は、メモリコントローラ側及び終端抵抗側に、接続端子125A、125Bを備える。接続端子125A、Bは、モジュールソケット102（図1）において、モジュール内DQバス110A、110Bと、マザーボード107上のDQバス108とをそれぞれ接続するための端子として構成される。

#### 【0050】

モジュール基板122は、内部に電源（モジュール内VDD面123及びGND面124）が配線される配線層を有する。モジュール内VDD面123及びGND面124は、メモリデバイス104のVDDピン116、及び、GNDピン117並びにビアを介してパッケージ内VDD面118及びGND面119に接続される。モジュール基板122内の配線層では、基板表面側にそれぞれモジュール内GND面124が配線され、モジュール内GND面124の間にモジュール内VDD面123が配線される。つまり、モジュール内VDD面123は、2つのモジュール内GND面124によって挟み込まれた配線として構成される。メモリデバイス104のVDDピン116及びGNDピン117は、DQピン112の近傍に配置される。

#### 【0051】

モジュール基板122の表面には、モジュール内DQバス110A、110B、及び、CAバス111が配線される。モジュール内DQバス110A、110Bは、それぞれメモリデバイス104のDQピン112及びビアを介してパッケージ内DQバス114に接続される。配線層を縦断するモジュール内DQバス110Cは、モジュール基板122のメモリコントローラ側の面のDQピン11

2と、終端抵抗側の面のDQピン112とを接続するビアで構成される。メモリモジュール103では、データバスが、モジュール内DQバス110A、100B、110C、及び、各メモリデバイス104のパッケージ内DQバス114によって、一筋の配線として構成される。

#### 【0052】

ここで、図13に示す従来のメモリシステム200のメモリデバイス204では、図14に示すパッケージ内配線213がモジュール内配線208に対して分岐配線を構成していた。本実施形態例では、1つのパッケージ内DQバス114に対して、2つのDQピン112を備えるため、データバスが上記のような一筋の配線で構成できる。従来のメモリデバイス204（図14）におけるパッケージ内配線213に相当するパッケージ内DQバス114は、メモリシステム100中の一筋のデータバスの一部を構成し、データバスに対して分岐配線となっていない。

#### 【0053】

図1及び図2に示すメモリシステム100において、データの書き込み時には、メモリコントローラ101から出力された信号は、マザーボード107上のDQバス108を伝播し、モジュールソケット102を介して、メモリモジュール103のメモリコントローラ側の接続端子125A（図4）に到達する。メモリモジュール103では、接続端子125Aに接続するメモリコントローラ側のモジュール内DQバス110Aから、メモリデバイス（A）104に、一方のDQピン112を介して、信号を入力する。

#### 【0054】

メモリデバイス（A）104の一方のDQピン112から入力する信号は、パッケージ内DQバス114を伝播し、分岐配線（ビア）126を介して信号端子パッド115に分岐すると共に、他方のDQピン122から出力する。他方のDQピン112から出力する信号は、モジュール基板122を縦断するモジュール内DQバス110Cを介して、終端抵抗側のメモリデバイス（B）104に、一方のDPピン112を介して入力する。

#### 【0055】

メモリデバイス (B) 104 の一方の DQ ピン 112 から入力する信号は、パッケージ内 DQ バス 114 を伝播し、分岐配線 126 を介して信号端子パッド 115 に分岐すると共に、他方の DQ ピン 122 から出力する。つまり、メモリデバイス (A) 及び (B) 104 では、同じ信号が双方の信号端子パッド 115 に入力する。他方の DQ ピン 112 から出力する信号は、終端抵抗側のモジュール内 DQ バス 110B を介して、終端抵抗側の接続端子 125B に到達する。

#### 【0056】

メモリシステム 100 では、前述のように、マザーボード 107、モジュールソケット 102、メモリモジュール 103、及びメモリデバイス 104 の各構成要素における信号配線のインピーダンス、特にデータバスを構成する信号配線の配線インピーダンスは整合が取れており、また、データバスはメモリチップ 120 への分岐配線 126 を除いて分岐のない構造としているため、何れの場所についても、発生する信号反射の影響は無視できるほど小さい。メモリコントローラ 101 が出力する信号は、DQ バス 108、及び、いくつかのメモリモジュール 103 を介して、最終的にマザーボード 107 上の終端抵抗 106 に到達し、終端抵抗 106 で終端される (図 2)。

#### 【0057】

一方、データの読み出し動作時には、メモリデバイス 104 側から、メモリコントローラ 101 へ向けてデータ信号が出力される。メモリチップ 120 の図示しない出力回路から信号端子パッド 115 を介して出力されたデータ信号は、分岐配線 126 を介してパッケージ内 DQ バス 114 に到達する。メモリデバイス 104 からは、一方の DQ ピン 112 を介してメモリコントローラ 101 へ向けてデータ信号が出力されると共に、他方の DQ ピン 122 から終端抵抗 106 に向けてデータ信号が出力される。

#### 【0058】

メモリコントローラに向けて出力されたデータ信号は、DQ バス 108 やメモリモジュール 103 内の信号配線を経由してメモリコントローラ 101 に到達する。DQ バス 108 やメモリモジュール 103 では、データバスのインピーダンスが整合しており、分岐配線 126 をデータ信号が往復するのに要する時間が、



データ信号の立ち上がり時間に比して十分に短くなるように構成することで、データ信号は波形が大きく乱れることなく伝播し、図示しないメモリコントローラ側の終端抵抗で終端される。一方、終端抵抗106に向けて出力されたデータ信号は、上記した書き込み動作時と同様に、インピーダンス整合されたデータバスを反射なく伝播し、終端抵抗106で終端される。

#### 【0059】

本実施形態例では、上記のように、1つのパッケージ内DQバス114に対応して2つのデバイス端子(DQピン112)を設ける。メモリデバイス104では、パッケージ内DQバス114は、2つのDQピン112間で、メモリチップ120上の信号端子バッド115に分岐配線126を介して接続される。このため、メモリデバイス104のパッケージ内DQバス114を、メモリコントローラ101から終端抵抗106に至るデータバスに対して分岐配線として構成せず、データバス中の一部として構成することができる。つまり、メモリシステム100では、一つの信号の信号配線が、インピーダンスの整合の取れた、一筋の配線構造とすることができる。このようなメモリシステム100では、データバスで発生する信号の反射が低く抑えられ、データ信号を品質よく伝播することができる、従来よりも高速動作が可能となる。

#### 【0060】

また、データバス中の各配線は、電源面(VDD面、GND面)によりシールドされる。このため、信号配線からメモリチップ120に侵入するクロストークノイズを遮断できる。また、パッケージ基板121に、パッケージ内VDD面118電源、及び、パッケージ内GND面119を設け、モジュール内配線114がストリップ線路を構成し、パッケージ基板121に占める金属(銅)の割合が高くなっているため、熱の放散がスムーズに行なわれる。このため、メモリチップ120の温度上昇による性能の低下を抑えることができる。

#### 【0061】

メモリシステム100では、データバスの一部がメモリデバイス104内にパッケージ内DQバス114として配線されるため、メモリデバイス104の直下のメモリモジュール103にはデータバス(モジュール内DQバス108)を配

線する必要がなくなる。図2に示すように、メモリデバイス104は、端部にDQピン112が配置され、中央部にCAピン113が配置されるが、データバスの一部がメモリデバイス104を経由するため、その箇所でモジュール内配線108が途切れ、CAバス111とはモジュール基板122上で交差しない。

#### 【0062】

従来のメモリシステム200では、DQバス112とCAバス113とが交差する場合には、DQバス112とCAバス113とを異なる配線層に配線する必要がある。本実施形態例では、データバスがパッケージ内DQバス114を経由するため、メモリモジュール103上を図1に示すように長辺方向（左右方向）に配線されるCAバス111との交差が容易になり、パッケージ基板122の配線層を増やす必要がなくなり、配線レイアウトの自由度が増す。このため、CAバス111に大きな配線占有面積を与えることができ、CAバス111で発生する信号タイミングエラーや、信号反射、クロストークノイズを低減することができる。

#### 【0063】

ここで、図5は、従来のメモリモジュール203の配線レイアウトを示している。図6は、図1に示すメモリモジュール103の配線レイアウトを示している。図5に示すように、従来のメモリモジュール203では、モジュール基板上のコネクタ位置関係の制約や、モジュール基板上に配置されたCAレジスタ133やPLL回路134等のブロックが存在することより、配線の引き回しが複雑になって、モジュール内DQバス208の配線長を均一化することが困難な場合があった。本実施形態例では、一つの信号に対して2つのデバイス端子があるため、図6に示すように、2つのDQピン112のうち、何れか一方のDQピン112を利用することにより、適正な配線レイアウトを容易に作ることができ、また配線長の均一化を容易にすることができる。

#### 【0064】

図7は、本発明の第2実施形態例のメモリシステムで使用されるメモリデバイス104の詳細を示している。本実施形態例のメモリデバイス104は、メモリチップ120と、メモリチップ120よりもサイズが大きいパッケージ基板12

1を備える。パッケージ基板121は、DQピン112や電源ピン116、117などのデバイス端子に対向する面から、ビアを介して接点を取り出し可能に構成される。このため、図7に示すメモリデバイス104を、例えば2段重ねると、2段目のデバイス端子が、1段目のメモリデバイス104に形成される接点と接続し、簡易に積層構造を得ることができる。

#### 【0065】

図8は、上記第2実施形態例のメモリシステムの構成を示している。本実施形態例のメモリシステム100は、1つのメモリモジュール103内で終端されるデータバスを2系統有する点、及び、1つのメモリモジュール103が積層した複数のメモリデバイス104を搭載する点で、第1実施形態例と相違する。なお、同図では、モジュール内の電源面（VDD面123及びGND面124）と、パッケージ内の電源面（VDD面118及びGND面119）との接続については、省略して図示している。

#### 【0066】

データバスは、0系及び1系の2系統が配線される。データバスの各系は、それぞれ、一端をメモリコントローラ101内に設けられたオンチップターミネーション（オンチップ終端抵抗）106Aによって終端され、他端をメモリモジュール103上に設けられた終端抵抗106で終端される。データバスを構成する各DQバス108は、メモリシステム100の各要素に電源を供給する電源面（VDD又はGND）135、136が配線される層に挟まれて配線される。

#### 【0067】

図9は、図8のメモリモジュール103の詳細を示している。メモリモジュール103の片側には2つのメモリデバイス104が積層され、1つのメモリモジュール103は、計4つのメモリデバイス104を有する。モジュール内DQバス110A、110Bは、その一部が、モジュール内VDD面123及びGND面124の中間の配線層に配線される。各メモリデバイス104では、パッケージ内DQバス114と、信号端子パッド115とが分岐配線（ビア）126を介して接続される。接続端子125から終端抵抗106に至るデータバスは、以下のように、一筋の配線として構成される。

**【0068】**

接続端子125は、メモリコントローラ側のモジュール内DQバス110Aを介してメモリデバイス(B)104の第1のDQピン(B1)112に接続される。DQピン(B1)112は、モジュール内DQバス(B)114に接続されることなく、ビアを介してメモリデバイス(A)104の第1のDQピン(A1)112に接続される。DQピン(A1)112は、ビアを介してモジュール内DQバス(A)114の一端に接続される。

**【0069】**

メモリデバイス(A)104の第2のDQピン(A2)112は、ビアを介して、モジュール内DQバス(A)112の他端に接続されると共に、モジュール内DQバス(B)112の一端に接続される。モジュール内DQバス(B)114の他端は、ビアを介してメモリデバイス(B)104の第2のDQピン(B2)112に接続される。DQピン(B2)112は、ビアで構成されるモジュール基板122を縦断するDQバス110Cを介して、メモリデバイス(C)104の第1のDQピン(C1)112に接続される。

**【0070】**

メモリデバイス(C)及び(D)104では、メモリデバイス(B)104の第1のDQピン(B1)112から第2のDQピン(B2)112までの逆順と同様な接続によって、メモリデバイス(C)104の第1のDQピン(C1)112と、第2のDQピン(C2)112とが接続される。DQピン(C2)は、終端抵抗側のモジュール内DQバス110Bに接続され、モジュール内DQバス110Bは、モジュール上に搭載された終端抵抗106によって終端される。

**【0071】**

図8に示すメモリシステム100において、例えば、0系へのデータの書き込み時には、メモリコントローラ101から出力する信号は、マザーボード107上のDQバス108を伝播し、モジュールソケット102を介して、メモリモジュール103の接続端子125(図9)に到達する。

**【0072】**

メモリモジュール103に到達した信号は、データバスを構成するDQバス1

10、114やビアを介し、DQピン112を(B1→A1→A2→B2→C1→D1→D2→C2)と順次に伝播して、終端抵抗106で終端される。メモリコントローラ101から出力された信号は、信号端子パッド115に接続するための分岐配線126以外の箇所では分岐せずに、終端抵抗106に到達し、メモリモジュール103上で終端される。また、信号が、モジュールソケット102を通過する回数は1回となっている。

#### 【0073】

本実施形態例では、第1実施形態例と同様に、メモリコントローラ101から終端抵抗106に至るデータバスが、分岐のない一筋の配線として構成されるため、データ信号の反射が低くさえられ、品質よく信号伝達ができる。また、1つのメモリモジュール103に複数のメモリデバイス104を積層することで、両々の大きなメモリを少ない面積で実現できる。

#### 【0074】

本実施形態例では、1つの系統のデータバスについて、一度しかモジュールソケット102を通過しない構成を採用する。モジュールソケット102では、容量を付加するなどして、インピーダンス整合を図ることはある程度可能になる。しかし、モジュールソケット102のコネクタ部では、データバスに対して必ずしも適切な位置に電源線(VDD線又はGND線)を配置することが容易ではことが多い。電源線を適切に配置できない場合には、理想的なデータバスを構成することが困難となり、信号伝達特性が劣化する。1つの系統のデータバスが、モジュールソケット102を通過する回数を減らすことで、信号伝達特性が向上する。

#### 【0075】

図10は、本発明の第3実施形態例のメモリシステムで使用するメモリデバイスの詳細を示している。第1及び第2実施形態例では、メモリチップ120の信号端子パッド115が入出力パッドとして構成されたが、本実施形態例では、信号端子パッド115が、信号を入力する信号端子パッド115Aと、信号を出力する信号端子パッド115Bとに分離される。

#### 【0076】

図3に示すメモリデバイス104では、一方のDQピン112から他方のDQピン112に至るデータバスが、信号端子パッド115に接続する分岐配線126が配線される箇所で、分岐を有する構造を採用したが、本実施形態例では、これに代えて、一方のDQピン112から他方のDQピン112までのデータバスが、分岐を有しない構造を採用する。具体的には、図10に示すように、信号入力端子パッド115Aと信号出力端子パッド115Bとがチップ内DQバス127で接続され、パッケージ内DQバス114は、一方のDQピン112と信号入力端子パッド115Aとを接続するパッケージ内DQバス114Aと、他方のDQピン112と信号出力端子パッド115Bとを接続するパッケージ内DQバス115Bとに分割される。

#### 【0077】

図11は、図10に示すメモリデバイス104を、メモリチップ120の入出力部分の等価回路と共に示している。メモリチップ120は、入出力部分に、入力ドライバ128、出力ドライバ129、入力保護抵抗130、及び、静電保護容量131を備える。

#### 【0078】

入力ドライバ128は、信号入力端子パッド115Aから入力保護抵抗130を介して入力された信号を、電圧値を変換するなどしてメモリチップ120の内部回路に出力する。出力ドライバ129は、信号出力端子パッド115Bから、所定の電圧値で信号を出力する。出力ドライバ129の出力用MOSトランジスタは、静電保護素子としても機能し、MOSトランジスタの寄生容量（静電保護容量）131は、静電気破壊現象から、メモリチップ120の内部回路を保護する。

#### 【0079】

信号入力端子パッド115Aに信号を入力する場合には、一方のDQピン112から入力する信号は、モジュール内DQバス114A及びビアを介して、或いは、モジュール内DQバス114B、信号出力パッド115B、チップ内DQバス127、及び、ビアを介して信号入力端子パッド115Aに到達する。信号入力端子パッド115Aに到達した信号は、チップ内DQバス127、信号出力パ

ッド 115 B、モジュール内 DQ バス 114 B、及び、ビアを介して、或いは、モジュール内 DQ バス 114 A 及びビアを介して他方の DQ ピン 112 に到達し、メモリデバイス 104 の外部に出力する。このとき、一方の DQ ピン 112 から他方の DQ ピン 112 までのパッケージ基板 121 内の信号経路では、分岐箇所がない。

#### 【0080】

また、メモリチップ 120 が信号を出力する場合には、信号出力端子パッド 115 B から出力する信号は、チップ内 DQ バス 127、信号入力端子パッド 115 A、モジュール内 DQ バス 114 A、ビア、及び、一方の DQ ピン 112 を介してメモリデバイス 104 の外部に出力すると共に、モジュール内 DQ バス 114 B、ビア、及び、他方の DQ ピン 112 を介してメモリデバイス 104 の外部に出力する。

#### 【0081】

本実施形態例では、メモリチップ 120 の信号を入力する信号端子パッド 115 A と、信号を出力する信号端子パッド 115 B とが異なるパッドとして構成される。この場合、パッケージ基板 121 では、メモリデバイス 104 の一方の DQ ピン 112 から他方の DQ ピン 112 までを、分岐のない一筋の配線で構成することができ、信号伝達特性が更に向上する。

#### 【0082】

なお、上記実施形態例では、メモリデバイス 104 は、メモリチップ 120 に、配線層を有するパッケージ基板 121 を貼り付ける構造を採用したが、パッケージ基板 121 に代えて、層構造を持つテープ素材などを用いることもできる。また、パッケージ基板 121 内の各配線のインピーダンスは、配線の厚さや、配線幅、配線間隔、配線層又は絶縁層の物質等、配線の構造等により調整を行なうことができるが、メモリチップ 120 上の信号端子パッド 115 の近傍に容量素子を付加するなどして調節することも可能である。

#### 【0083】

図 12 は、メモリデバイス 104 の別の例の詳細を示している。上記実施形態例では、パッケージ内 DQ バス 114 がパッケージ内 VDD 面 118 と GND 面

119 とにはさまれて配線されたが、図12のメモリデバイス104は、メモリチップ側の配線層にパッケージ内VDD面118又はGND面119を配線し、その下層の配線層にパッケージ内DQバス114を配線する。また、第3実施形態例では、入力ドライバが信号入力端子パッド115Aに直接に接続され、出力ドライバが信号出力端子パッド115Bに直接に接続される例を示したが、入力ドライバや出力ドライバは、チップ内配線で接続された2つの信号端子パッド間に配置されていてもよい。

#### 【0084】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の半導体ユニット、半導体モジュール、及び、メモリシステムは、上記実施形態例にのみ限定されるものでなく、上記実施形態例の構成から種々の修正及び変更を施した半導体ユニット、半導体モジュール、及び、メモリシステムも、本発明の範囲に含まれる。例えば、データバス（DQバス）以外の配線についても、1つの配線についてデバイス端子を2つ設けて、データバスと同様に分岐のない一筋の配線として構成することができる。

#### 【0085】

##### 【発明の効果】

以上説明したように、本発明の半導体ユニット、及び、半導体モジュール、並びに、このような半導体ユニットや半導体モジュールを備えるメモリシステムは、1つの信号配線に対して2つの外部端子を備える。例えば、この半導体ユニット及び半導体モジュールを使用したメモリシステムでは、信号配線が一筋の配線として構成され、半導体ユニット内で発生する信号反射を低く抑えることができ、高速動作が可能となる。また、信号配線が電源配線層よりシールドされる構成を採用すると、半導体チップに侵入するノイズが減少してクロストークの影響が低くなり、また、パッケージ基板に占める金属の割合が高くなるため、熱の放散がスムーズに行なわれて、半導体チップの温度上昇による性能の低下を抑えることができる。

##### 【図面の簡単な説明】

##### 【図1】



本発明の一実施形態例のメモリシステムの構成を示す斜視図。

【図 2】

図 1 のメモリシステム 100 の DQ バス 108 方向に沿った断面図。

【図 3】

メモリデバイス 104 の詳細をメモリチップ 120 の入出力部分の等価回路と共に示し断面図。

【図 4】

図 1 及び図 2 に示すメモリモジュール 103 の詳細を示す断面図。

【図 5】

従来のメモリモジュール 203 の配線レイアウトを示す平面図。

【図 6】

図 1 に示すメモリモジュール 103 の配線レイアウトを示す平面図。

【図 7】

本発明の第 2 実施形態例のメモリシステムで使用するメモリデバイス 104 の詳細を示す断面図。

【図 8】

本発明の第 2 実施形態例のメモリシステムの構成を示す断面図。

【図 9】

図 8 のメモリモジュール 103 の詳細を示す断面図。

【図 10】

本発明の第 3 実施形態例のメモリシステムで使用するメモリデバイスの詳細を示す断面図。

【図 11】

図 10 に示すメモリデバイス 104 を、メモリチップ 120 の入出力部分の等価回路と共に示す断面図。

【図 12】

メモリシステム 100 におけるメモリデバイス 104 の別の例の詳細を示す断面図。

【図 13】

従来のメモリシステムにおける信号配線経路を示す断面図。

【図 14】

図 13 のメモリデバイス 204 の詳細を示す断面図。

【符号の説明】

- 100、200：メモリシステム
- 101、201：メモリコントローラ
- 102、202：モジュールソケット
- 103、203：メモリモジュール
- 104、204：メモリデバイス
- 105：レジスタ
- 106、205：終端抵抗
- 107、206：マザーボード
- 108、207：DQバス
- 109：CAバス
- 110、208：モジュール内DQバス
- 111：モジュール内CAバス
- 112、209：DQピン（デバイス端子）
- 113：CAピン
- 114：パッケージ内DQバス
- 115、212：信号端子パッド
- 116、117：電源ピン
- 118、119：パッケージ内電源面
- 120、210：メモリチップ
- 121、211：パッケージ基板
- 122：モジュール基板
- 123、124：モジュール内電源面
- 125：接続端子
- 126：分岐配線
- 127：チップ内DQバス

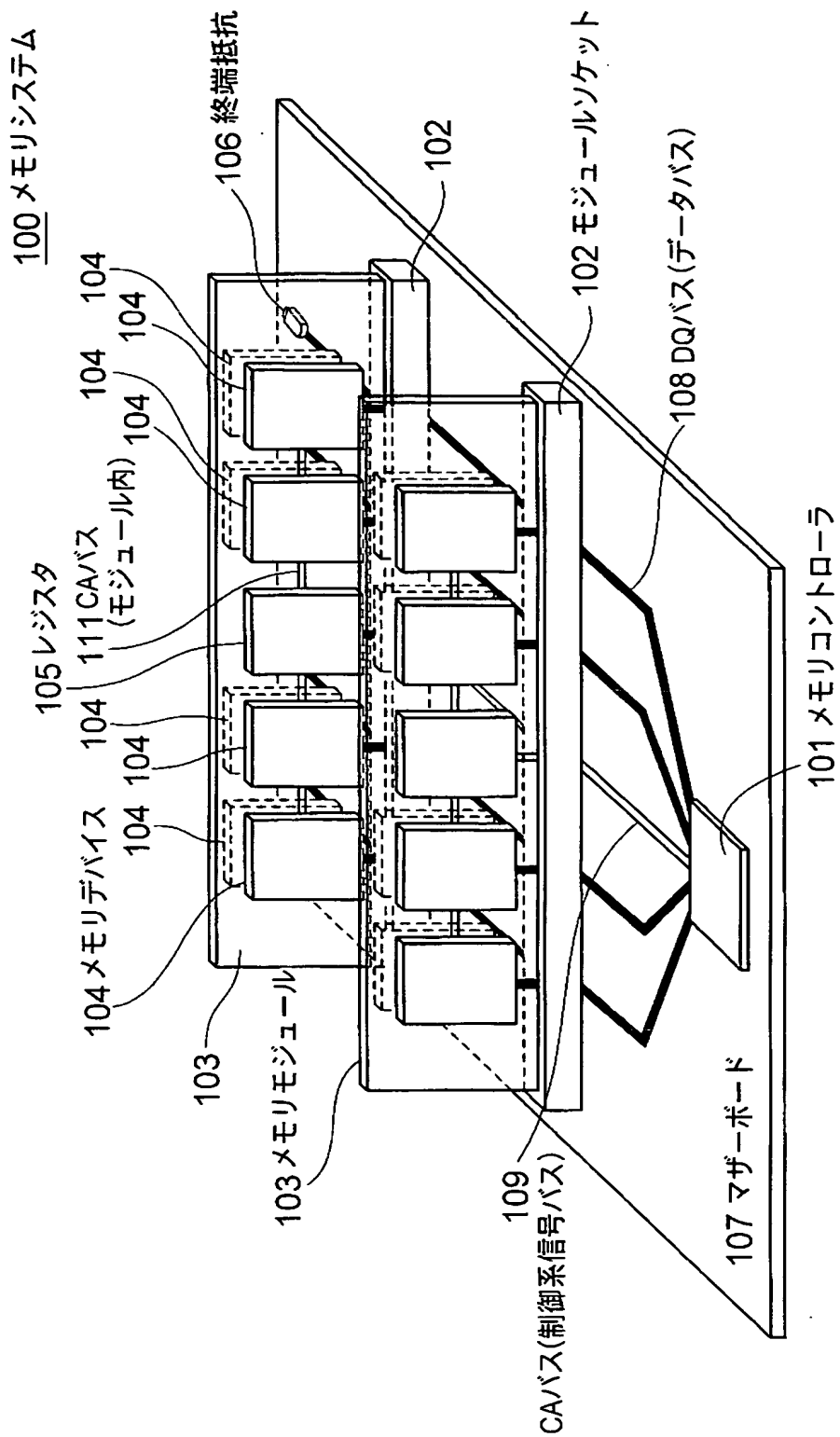
1 2 8 : 入力ドライバ

1 2 9 : 出力ドライバ

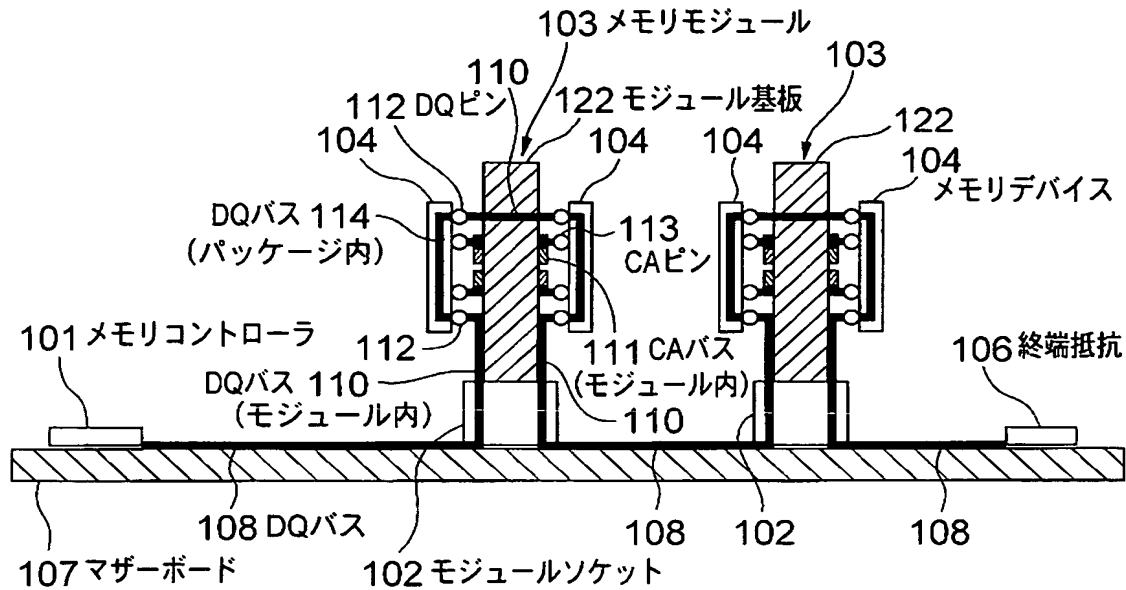
【書類名】

凶面

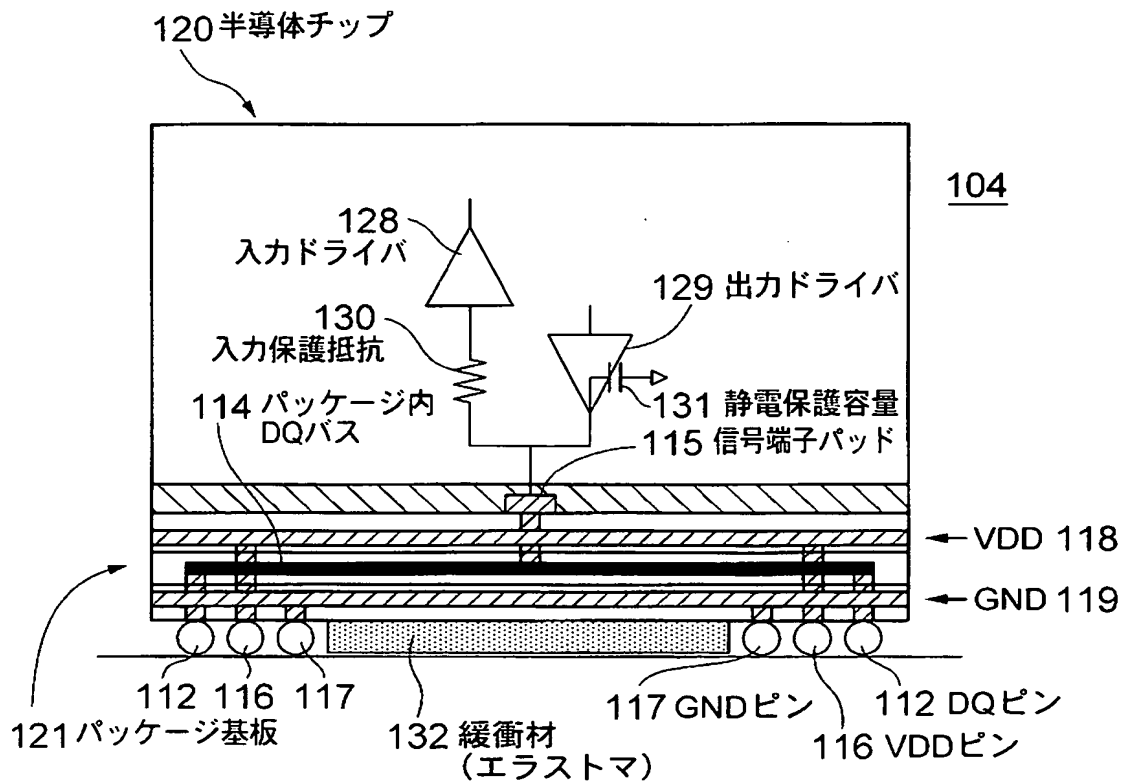
【図 1】



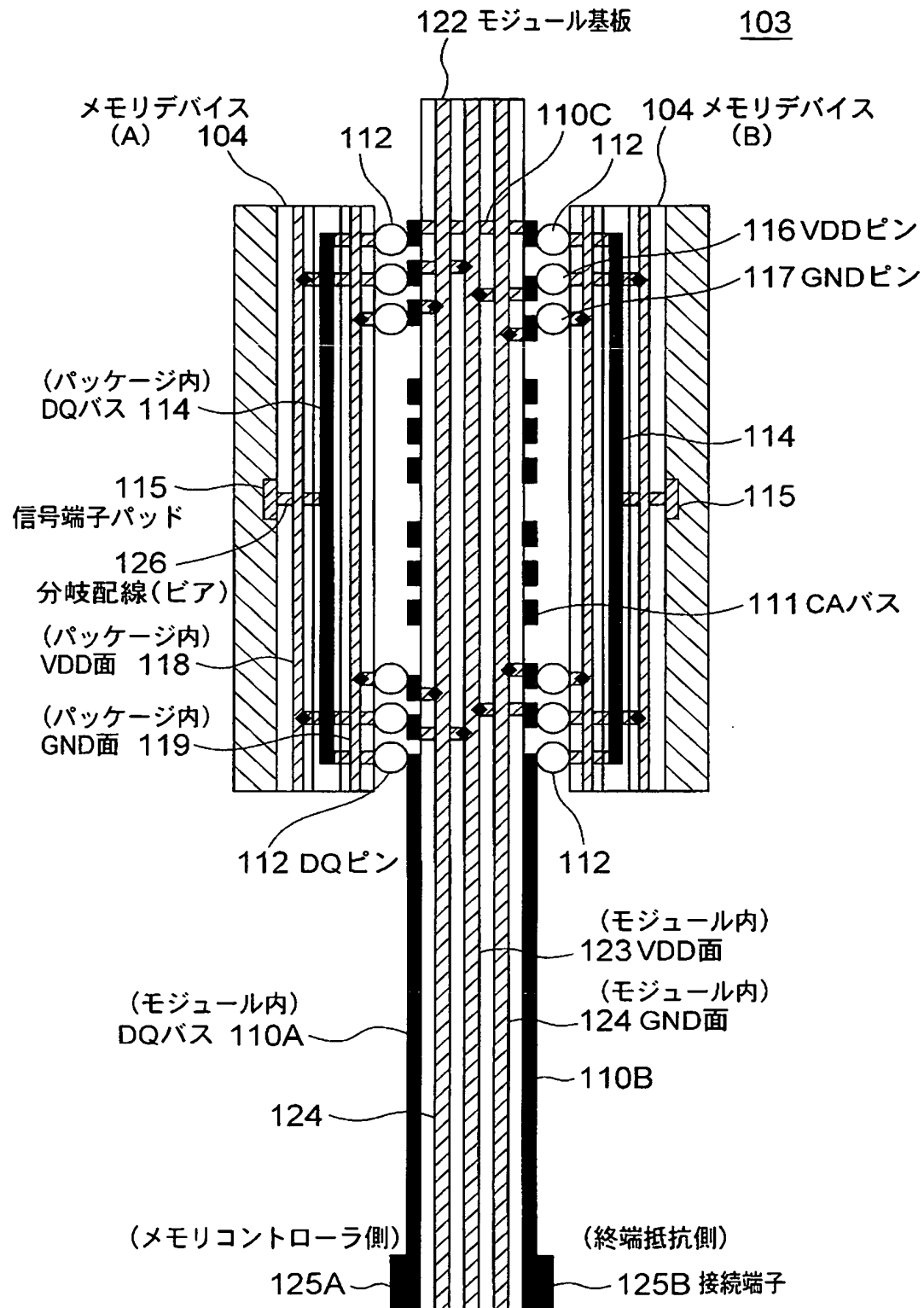
【図 2】



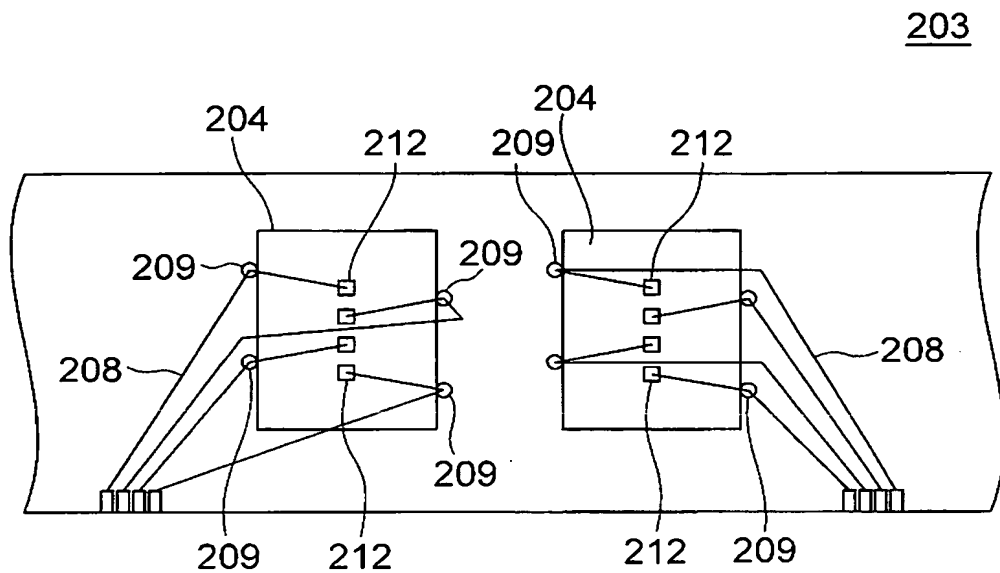
【図 3】



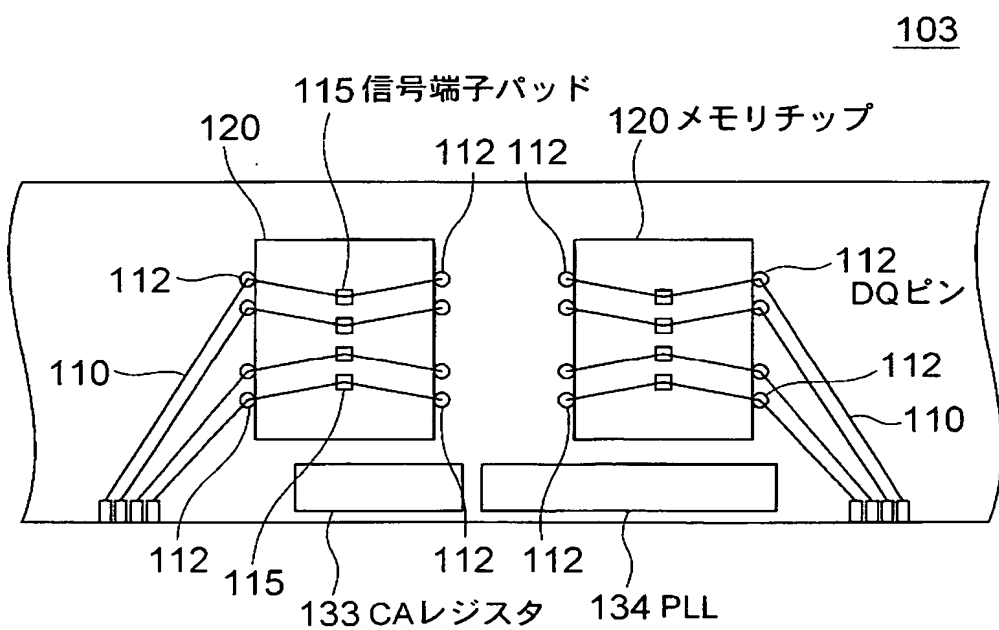
【図 4】



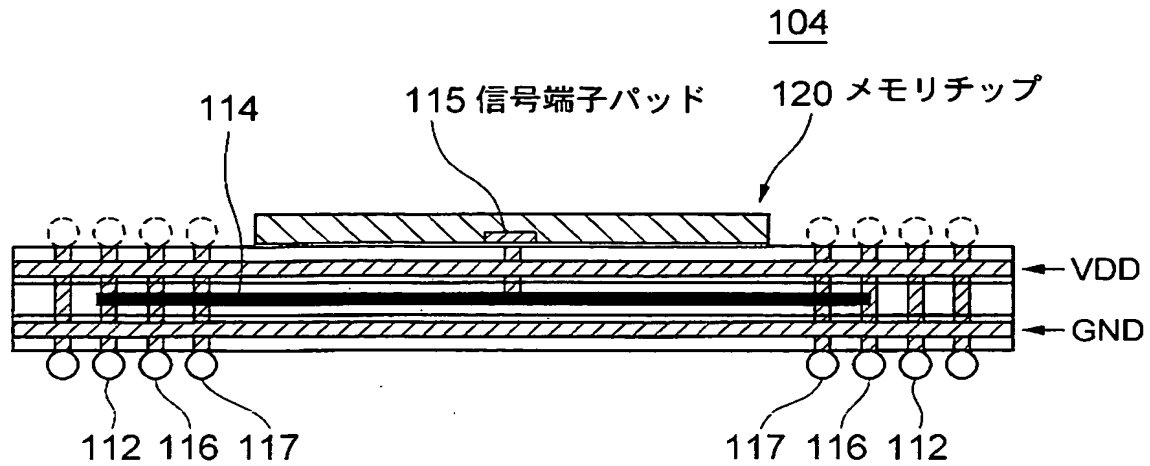
【図 5】



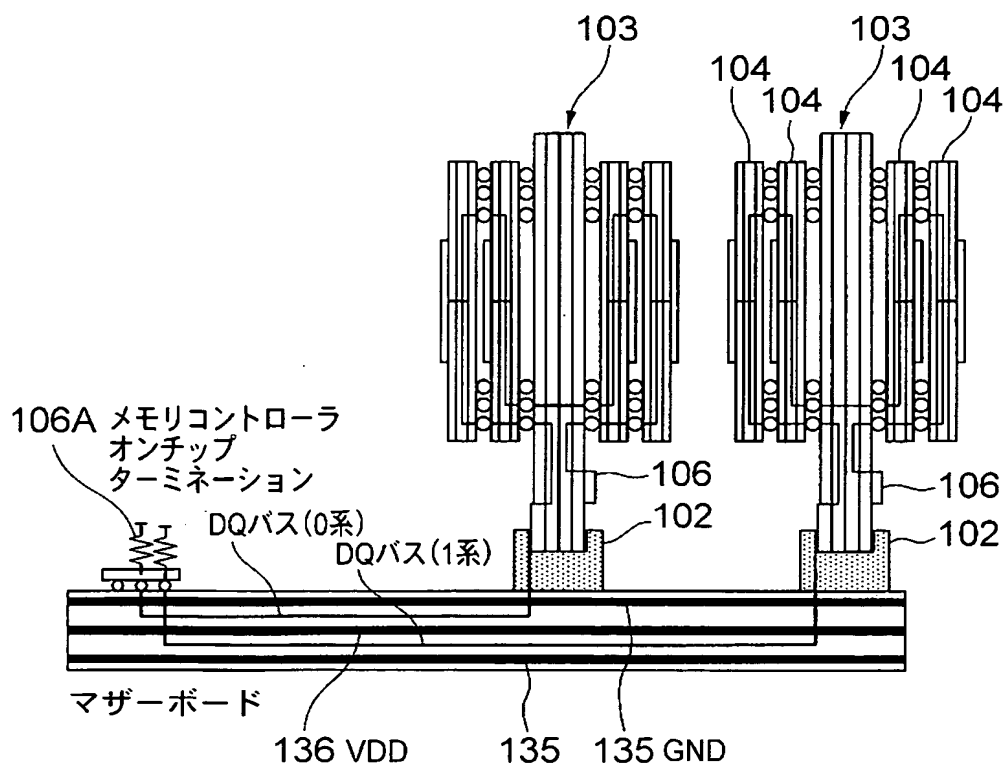
【図 6】



【図 7】



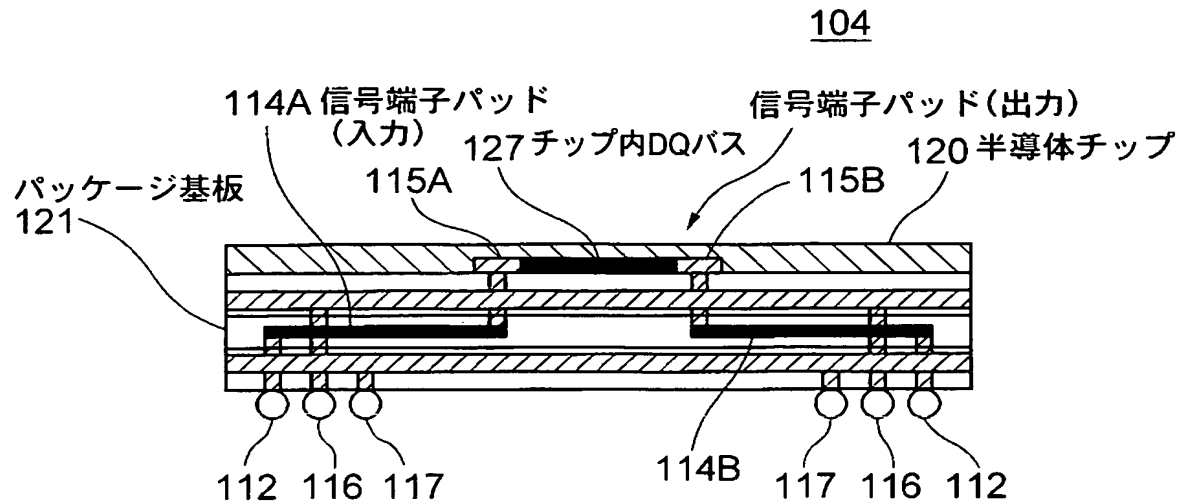
【図 8】



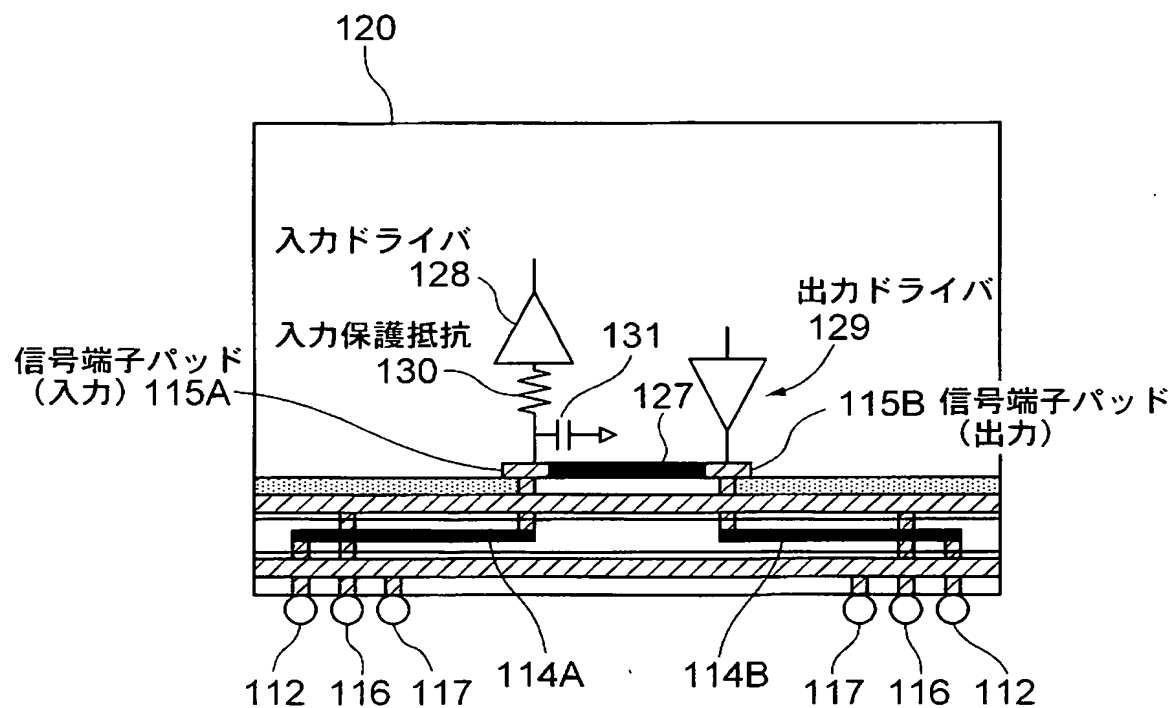




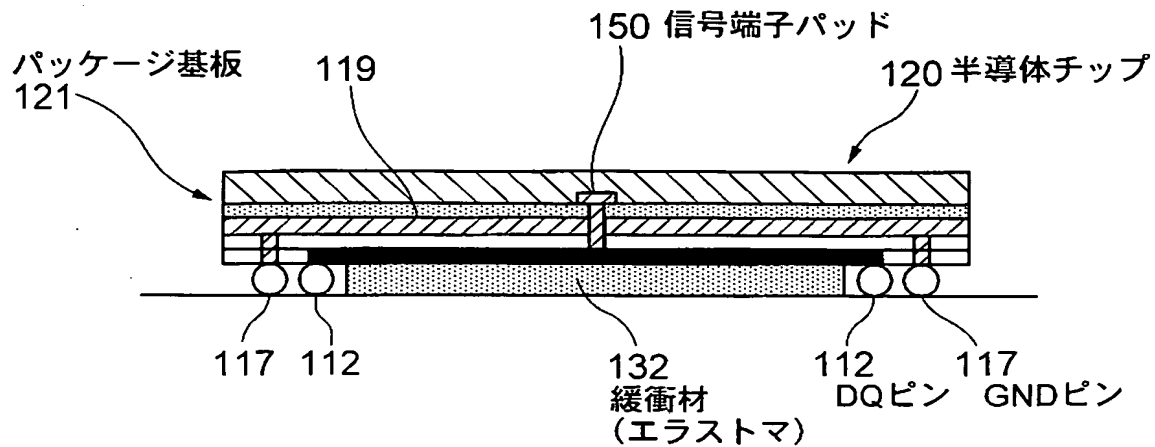
【図 10】



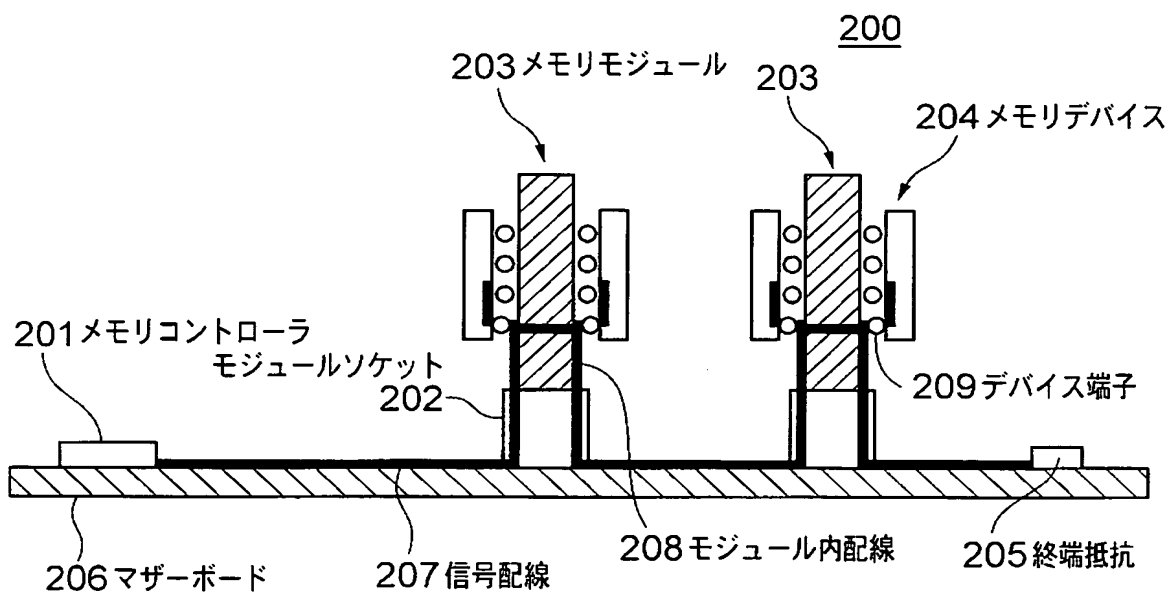
【図 11】



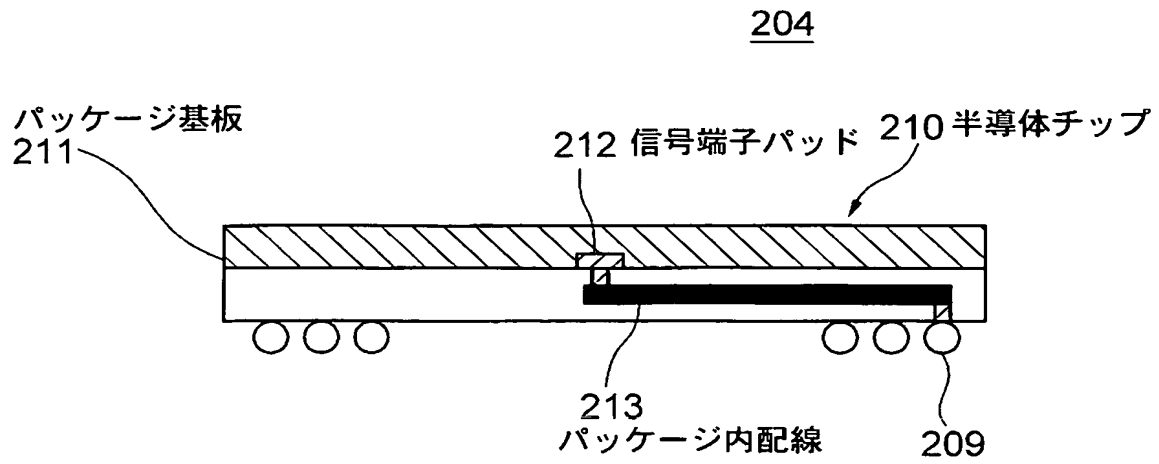
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 信号配線中に存在する分岐配線の配線長を短縮し、高速動作が可能な半導体ユニットを提供する。

【解決手段】 メモリデバイスを構成する半導体ユニット104は、メモリチップ120と、3つの配線層を有するパッケージ基板121とから成る。パッケージ基板121には、電源面118（VDD面）及び119（GND面）が配線され、双方の電源面118、119の中間の配線層にパッケージ内DQバス114が配線される。メモリデバイス104は、1つのパッケージ内DQバス114に対して2つのDQピン112を備える。パッケージ内DQバス114は、メモリチップ120の信号端子パッド115にビアを介して接続する。2つのDQピンから見て、パッケージ内DQバス114から信号端子パッドに接続するビアが、分岐配線を構成する。

【選択図】 図3

特願 2 0 0 2 - 2 8 1 5 9 3

出 願 人 履 歴 情 報

識別番号

[ 5 0 0 1 7 4 2 4 7 ]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社